

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(11) 4-25166 (A) (43) 28.1.1992 (19: JP)

(21) Appl. No. 2-130665 (22) 21.5.1990

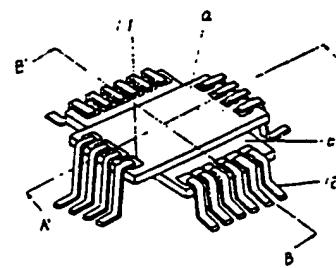
(71) MATSUSHITA ELECTRIC IND CO LTD

(72) NOBUTOSHI TAKEHASHI(1)

(51) Int. Cl. H01L25/065, H01L25/07, H01L25/10, H01L25/11, H01L25/18, H05K1/18, H05K3/34

**PURPOSE:** To enable a semiconductor chip to be densely mounted by a method wherein semiconductor chips provided with connection electrodes at their opposed sides are made to overlap crossing each other at a right angle and laminated, and the chips are mounted in a film carrier mounting method.

**CONSTITUTION:** Semiconductor chips a and b provided with connection electrodes 11 at the opposed sides are made to overlap crossing each other at a right angle and fixed in position, the connection electrodes 11 of the semiconductor chips a and b are connected to leads 12 of carrier films, and the leads 12 are led out in four directions. Therefore, two or more semiconductor chips can be mounted at a time occupying the same area with a semiconductor chip provided with connection electrodes at its four sides, and semiconductor chips different from each other in type can be easily modularized. By this setup, an electronic equipment miniaturized and high in function can be easily obtained.



[Translation]

(19) Japan Patent Office  
(12) Patent Release (A)

(11) Patent Application Release

Hei.4 (1992)-25166

(43) Release Date: Jan. 28,  
1992

(51) Int.Cl <sup>1</sup>	Identification No.	Agency Control No.
H 01 L 25/065		
25/07		
25/10		
25/11		
25/18		
H 05 K 1/18	S 6736-4E	H 01 L 25/08
3/34	S 6736-4E	25/14
	7638-4M	
	7638-4M	

Examination Request: Not yet requested  
Items in Application: 2 (Total 7  
pages)

(54) Name of Invention: Semiconductor device and its  
Method  
of Manufacture

(21) Patent Application: Hei.2(1990)-130665

(22) Application Date: May 21, 1990

(72) Inventor: Shinichi Takehashi  
c/o Matsushita Electric Indus-  
trial Co., Ltd.  
1006 Oaza-Kadoma, Kadoma-shi  
Osaka-fu [Japan]

(72) Inventor: Kenji Hatada  
[ same address ]

(71) Applicant: Matsushita Electric Industrial  
Co., Ltd.  
1006 Oaza-Kadoma, Kadoma-shi  
Osaka-fu [Japan]

(74) Agent: Shigetaka Kurino, Patent Attorney

becomes quite difficult to mount into electronic chips so as to bring out the advantages of the different kinds of semi-conductor chips, raising the problem of impeding the process of making the electronic equipment higher performance.

After reflecting on this problem, we gave this invention the aim of providing a small, high-performance, low-cost electronic device with a very simple makeup on which one can mount semiconductor chips with high density on circuit boards by simple methods.

**Means to Resolve the Problems:** In order to resolve the above-noted problems, this invention is one that positions cross-stacked semiconductor chips with a structure having connector electrodes on two opposite sides, connects both semiconductor chips' connector electrodes and film-carrier leads, and connects leads from the semiconductor chips' connector electrodes to a circuit board's wiring electrodes so as to mount both semiconductor chips on the circuit board.

**Effects:** With the above-noted makeup, this invention positions both semiconductor chips by cross-stacking them with their structure of connecting electrodes on opposite sides, and connects the film carrier leads to both semiconductor chips' connector electrodes. Being able to mount simultaneously multiple semiconductor chips occupying nearly the same surface area as a semiconductor chip of a structure having connector electrodes on four sides also enables one quite simply to make a module of semiconductor chips of different kinds, and so to simply achieve small, high-performance electronic equipment.

**Application Example:** We will use the Figures to explain an application example of this invention. Figure 1's diagrams show the makeup of this invention's semiconductor device, while Figure 2's diagrams show the fabrication process of this invention. **a** is the first semiconductor chip, and **b** is the second semiconductor chip.

11 is a connector electrode, 12 is a lead, 13 is a bump, 14 is a circuit board and 15 is a distributor electrode. Fig. 1(A) is one example of cross-stacking semiconductor chips **a** and **b** having connector electrodes 11 on two opposite sides and mounting them by film-carrier mounting. Figure 1(B) is

method which is a method for mounting a semiconductor chip. 1 is a semiconductor chip, 2 is a connector electrode, 3 is a bump, 4 is a film carrier, 5 is a lead, 8 is a circuit board, 9 is a distributor electrode, and 10 is protective resin. Bump 3 is formed, e.g. by plating, on semiconductor chip 1's semiconductor electrode 2, and is an extremely thin copper surface formed on film carrier 4 consisting of such

\* [Bold font added by translator to facilitate reading long sentence.] organic material as polyimide/glass epoxy and lead 5 is formed by etching (Figure 3A). Pressure jig 6 is used to make connections by pressure-welding the tip of this lead 5, bump 3 and connector electrode 2 installed on semiconductor chip 1 (Figure 3B). Film carrier 4 connecting semiconductor chip 1 to lead 5 is shaped into the desired form while lead 5 is cut to a desired length by a stamping process (Figure 3C). After positioning lead 5 and circuit board 8's wiring electrode 9 which soldering tool 7 had formed, they are pressure welded by pressure welder 6 and soldered on by the reflow (Figure 3D). Then sealing is done with protective resin 10 (Figure 3E).

#### Problems the Invention Seeks to Resolve

In recent years demands are rising for more variety and higher capacity than in past methods for fabricating semiconductor devices. So, it has become even more essential than before to mount many semiconductor chips with high precision in response to that.

- 1) Usually, there are limits to the effective mounting surface of a circuit board because mounting a semiconductor chip set on a circuitboard with a film carrier is done one-dimensionally, creating limits to the number of semiconductor chips mounted.
- 2) By increasing the number of semiconductor chips mounted on a circuit board, wiring lengths between semiconductor chips and between outside terminals become longer, signal processing speed decreases and they become more sensitive to external noise, sharply lowering the performance of the electronic device.
- 3) When different kinds of semiconductor chips (such as MOS, bipolar or composite [word unclear]) are mounted on circuit boards, the mounting is done one by one, so that it

(and one other)

### **Specifications**

**1. Name of Invention:** Semiconductor Device and its Method of Manufacture

**2. Scope of Patent Application**

(1) A semiconductor device characterized by cross-stacking with each other a first semiconductor chip having connector electrodes on opposite sides and a second semiconductor chip with connector electrodes on opposite sides, by connecting leads to the connector electrodes of the above-noted first and second semiconductor chips and by connecting the leads from the first and second semiconductor chips' connector electrodes to the wiring electrodes of a circuit board.

(2) A manufacturing method for a semiconductor device, characterized by consisting of a process for pressure-welding to connect leads to the connector electrodes of the first semiconductor chip with connector terminals on two opposite sides, a process for cross-stacking the second semiconductor chip with its connector electrodes on two opposite sides on the above-noted first semiconductor chip and fixing it in place, a process for pressure-welding and connecting the leads to the above-noted second semiconductor chip's connector electrodes, a process for shaping and cutting to a desired length the leads of the above-noted first and second semiconductor chips' connector electrodes, and a process\* for connecting to a circuit board's distributor electrodes the leads connected to the above-noted first and second semiconductor chips' connecting electrodes.

**3. Detailed Explanation of Invention**

**Field for Commercial Utilization:** This invention is one bearing on a semiconductor device and its manufacturing method, and particularly a method for mounting semiconductor chips on circuit boards.

**Usual Technology:** Figure 3 shows the film-carrier mounting

a cross-sectional diagram of the structure as seen from the A-A' axis in Figure 1(A); and Figure 1(C) is the same as seen from the B-B' axis in Figure 1(A).

Semiconductor chips a and b have leads 12 connected to their connector electrodes 11 while crossing each other and are connected to circuit board 13's distributor electrodes 14. The junctions of leads 12 to the respective semiconductor chip a's and b's connector electrodes 11 can be made using leads 12 matched to semiconductor chips a's and b's connector electrodes just as with semiconductor chips having a structure of connector electrodes on four sides of a normal film tape. These junctions are made via bumps 13 and connect to circuit board 14's distributor electrodes 15.

Next, we will explain the method of fabricating this invention's semiconductor device, using Figure 2. We cross-stack semiconductor chips having connector electrodes on two opposite sides (Fig. 1A). With organic resins (not shown in Figure) we fix them in place in this cross-stacked state (Fig. 2B). We position connector electrodes 11 of semiconductor chips a and b stacked this way to face film carrier 16's leads 12 (Fig. 2C). Figures 2D and 2E show the respective semiconductor chips a and b connector electrodes 11 positioned with film carrier 16's leads 12. After registering semiconductor chips a's and b's connector electrodes 11 and film carrier 16's leads 12, we used hot pressure-heating jig 17 to connect semiconductor chips a and b's connector electrodes 11 to film carrier 16's leads 12 by pressure welding (Figures 2F, G). After doing that, we drew leads 12 out from film carrier 15 and simultaneously shaped leads 12 drawn out from semiconductor chips a and b to a desired shape so as to eliminate any differences in thickness between the stacked semiconductor chips, positioned them with circuit board 14's distributor electrodes 15 and soldered them to connect them electrically (Fig. 2H).

**Effectiveness of Invention:** As explained above, with this invention it becomes possible to mount semiconductor chips with connector electrodes on two opposite sides with a very high density by stacking them crossways to each other and using film-carrier mounting to mount them; it makes possible mounting quite easily and at low cost such different kinds of semiconductor chips as MOS-type semiconductor chips combined with bipolar semiconductor

chips as BYCMOS modules; and it enables sharply improved performance of electronic equipment.

Furthermore, in memory modules used for such information equipment as computers and memory [one word unclear], the method of this invention can attain double the memory-chip mounting of the usual method, making it possible to achieve small high-capacity memory modules. Also, en-bloc connecting by stacking can greatly shorten wiring lengths between semiconductor chips, raise signal transmission efficiency and accelerate signal processing speed so as to bring about low-cost, high-performance electronic equipment unaffected by outside noise, making the invention's practical effects quite large.

#### 4. Simple Explanation of Figures

Figures 1(A~C) are oblique and cross-sectional diagrams of semiconductor equipment from the application example of this invention. Figures 2(A~I) are diagrams of the fabrication process of the semiconductor device from this invention. Figures 3(A~E) are cross-sectional process diagrams of the semiconductor equipment from a usual case.

- a .... 1st semiconductor chip
- b .... 2nd semiconductor chip
- 11 .... Connector electrodes
- 12 .... Leads
- 13 .... Bump
- 14 .... Circuit board
- 15 .... distributor electrodes
- 16 .... Film carrier
- 17 .... Pressure jig

Name of Agent: Shigetaka Kurino (and one other)

## ⑪公開特許公報(A) 平4-25166

⑨Int.Cl.  
H 01 L 25/065  
25/07  
25/10  
25/11  
25/18

II H 05 K 1/18  
3/34

識別記号

庁内整理番号

⑪公開 平成4年(1992)1月28日

S 6736-4E  
6736-4E  
7638-4M  
7638-4M

H 01 L 25/08  
25/14

B  
Z

審査請求 未請求 請求項の数 2 (全7頁)

## ⑫発明の名称 半導体装置および半導体装置の製造方法

⑬特 願 平2-130665

⑭出 願 平2(1990)5月21日

⑮発明者 竹橋信逸 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
 ⑯発明者 畑田賢造 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
 ⑰出願人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
 ⑱代理人 弁理士栗野重孝 外1名

## 明細書

## 1. 発明の名称

半導体装置および半導体装置の製造方法

## 2. 特許請求の範囲

(1) 対向する2辺に接続電極を有する第1の半導体チップと対向する2辺に接続電極を有する第2の半導体チップとを互いに直交させて重ね、前記第1の半導体チップの接続電極と前記第2の半導体チップの接続電極にリード部材が接続され、前記第1および第2の半導体チップの接続電極から導出したリード部材が回路基板の配線電極へ接続されていることを特徴とする半導体装置。

(2) 対向する2辺に接続電極を有する第1の半導体チップの接続電極にリード部材を圧接、接続する工程と対向する2辺に接続電極を有する第2の半導体チップを前記第1の半導体チップとを直交させて重ね、位置固定する工程と前記第2の半導体チップの接続電極にリード部材を圧接、接続する工程と前記第1、第2の半導体チップの接続電極に接続されたリード部材を所望の長さに切断、

成形する工程と前記第1、第2の半導体チップの接続電極に接続されたリード部材を回路基板の配線電極に接続する工程から成ることを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

## 産業上の利用分野

本発明は半導体装置およびその製造方法、特に回路基板への半導体チップの実装方法に関するものである。

## 従来の技術

第3図は半導体チップの実装方法の一つであるフィルムキャリア実装方式を示したものである。1は半導体チップ、2は接続電極、3はバンプ、4はフィルムキャリア、5はリード、8は回路基板、9は配線電極、10は保護樹脂である。半導体チップ1の接続電極上2にバンプ3を例えばメッキ法で形成し、ポリイミド・ガラスエポキシ等の有機材料から成るフィルムキャリア上4に極めて薄い鋼箔を形成し、エッチングによってリード5を形成し(第3図-A)、このリード5の先端部と

半導体チップ1に設けられた接続電極2とバンプ3を加圧治具6を用いて圧接し、接続を行う(第3図-B)。リード5に半導体チップ1を接続したフィルムキャリア4は打ち抜き工程によってリード部5のみを所望の長さに切断し、同時に所定の形状に成形され(第3図-C)、半田7が形成された回路基板8の配線電極9とリード5を位置合わせ後、加圧治具6による熱圧着又はリフローによって半田付けされ(第3図-D)、のちに保護樹脂10で封止を行なわれるものであった(第3図-E)。

#### 発明が解決しようとする課題

しかしながら従来における半導体装置の製造方法においては近年における電子機器のパッケージ化とより多機能・高機能化の要望が高まりつつあり、従って、対応すべく数多くの半導体チップを高密度に実装する必要性が今まで以上に不可欠となる。従って、下記における問題点が生じていた。

1) 従来、フィルムキャリアで実装される半導体

-3-

本発明は、上記の問題点を解決するため、対向する2辺に接続電極を有する構造の半導体チップ同士を互いに直交、重ねた状態で位置固定させ、両者の半導体チップの接続電極とフィルムキャリアのリードを接続し、半導体チップの接続電極から導出したリードを回路基板の配線電極に接続させ両者の半導体チップを回路基板上に搭載するものである。

#### 作用

本発明は前記した構成により、対向する2辺に接続電極を有する構造の半導体チップ同士を互いに直交、重ねた状態で位置固定させ、両者の半導体チップの接続電極とフィルムキャリアのリードを接続し、リードの導出方向を4方向にすることで4辺に接続電極を有する構造の半導体チップとはほぼ同じ占有面積でかつ、複数個の半導体チップを同時に実装出来又、複数が異なる半導体チップ同士を極めて簡単にモジュール化が可能となり小型・高機能な電子機器を⑥易に実現できる。

実施例

チップの回路基板への搭載は1次元的に行われるため回路基板の有効実装面積には限りがあり、多数の半導体チップの搭載には限界が生じる。

2) 回路基板への半導体チップ搭載数の増大により半導体チップ間および、外部端子間の配線長が増大し、このことによって信号伝播経路が長くなり信号処理速度の低下、さらには外界のノイズの影響を受けやすくなり電子機器の性能が著しく低下する。

3) 興奮の半導体チップ(例えば、MOS型素子、バイポーラ素子、化合物素子等)を回路基板に搭載する際、の実装が個々に行われるため、興奮の半導体チップの利点を生かした電子機器への搭載が非常に困難となり電子機器の高機能化の障害となるという問題点を有していた。

本発明はかかる点に鑑み、極めて簡易な構成でかつ、簡単な方法で半導体チップを回路基板に高密度で実装せしめ、小型・高機能・低コストな電子機器を提供することを目的とする。

#### 課題を解決するための手段

-4-

本発明における実施例を図面を用いて詳しく説明する。第1図は本発明における半導体装置の構成図、第2図は本発明の半導体装置の製造方法を示した工程図である。aは第1の半導体チップ、bは第2の半導体チップ。

11は接続電極、12はリード、13はバンプ、14は回路基板、15は配線電極である。第1図(A)は対向する2辺に接続電極11を有した構造の半導体チップa、b同士を互いに直交、横羅させてフィルムキャリア実装方式で実装した一実施例である。同図(B)は同図(A) A-A'方向から見た断面構造図、同図(C)は同じく同図(A)をB-B'方向から見た断面構造図である。半導体チップa及び、半導体チップbは互いに直交した状態でそれぞれの接続電極11にリード12が接合され、回路基板13の配線電極14と接続されており、個々の半導体チップa、bの接続電極11へのリード12の接合は通常のフィルムテープに4辺に接続電極を有する構造の半導体チップと同様に個々の半導体チップa、bの接続電

リード 11 と相対したリード 12 を設けたものを用いることが出来る。半導体チップ a, b の接続電極 11 とリード 12 との組合はバンブ 13 を介して熱に行われ、回路基板 14 の配線電極 15 と接続されている。

次に本発明の半導体装置の製造方法について第 2 図を用いて説明する。対向する 2 辺に接続電極を行う半導体チップ a, b を互いに直交した状態で重ね（第 2 図 - A）、接着樹脂等により（図示せず）直交させた状態で重ねて位置固定させる（第 2 図 - B）。直交させた状態で重ねて位置固定した半導体チップ a, b の接続電極 11 とフィルムキャリア 16 のリード 12 とを互いに位置合わせを行う（第 2 図 - C）。第 2 図 (D) と第 2 図 (E) はそれぞれ半導体チップ a, b の接続電極 11 とフィルムキャリア 16 のリード 12 との位置合わせの状態を示したものである。半導体チップ a, b の接続電極 11 とフィルムキャリア 16 のリード 12 との位置合わせ後、加熱した加圧治具 17 を用いて半導体チップ a, b の接続電極

11 とフィルムキャリア 16 のリード 12 とを熱圧着で組合する（第 2 図 - F, G）。半導体チップ a, b の接続電極 11 とフィルムキャリア 16 のリード 12 の組合後、フィルムキャリア 16 よりリード部 12 を打ち抜きと同時に重ね合わされた半導体チップの厚さの相違をなくすように個々の半導体チップ a, b から導出するリード 12 を所定の形状に成形し、回路基板 14 の配線電極 15 と位置合わせし、半田付等によって電気的な接続を行うものである（第 2 図 - H, I）。

#### 発明の効果

以上説明したように、本発明によれば、対向する 2 辺に接続電極を有する半導体チップを互いに直交した状態で重ね合わせて積層し、フィルムキャリア実装方式によって実装することにより極めて高密度な実装が可能となり、異種の半導体チップ例えば、MOS 型半導体チップとバイポーラ型半導体チップを組み合わせた BYCMOS モジュールが極めて容易にかつ、低成本に実現出来、電子機器の性能を著しく向上することが可能とな

-7-

-8-

る。又、さらにはコンピュータ・メモリカード等情報機器に用いられるメモリモジュールにおいて、メモリチップを本発明の方法によって実装することにより従来の方法と比較し 2 倍メモリチップが実装出来、小型・薄型かつ、大容量なメモリモジュールを実現可能となる。さらには積層化による一括接続により半導体チップ間の配線長が著しく短縮出来、信号伝搬効率が向上し信号処理速度の高速化、外界のノイズの影響に無関係な極めて高性能な電子機器を低成本で実現することができ、その実用的效果は極めて大きい。

#### 4. 図面の簡単な説明

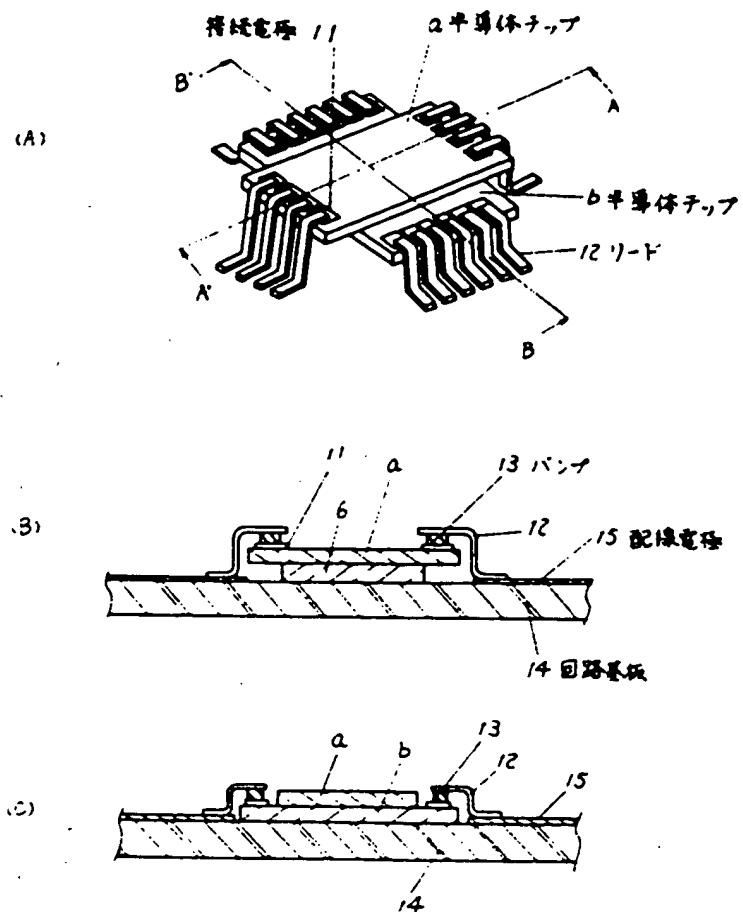
第 1 図 (A) ～ (C) は本発明の実施例における半導体装置の構成斜視及び断面図、第 2 図 (A) ～ (I) は本発明における半導体装置の製造工程図、第 3 図 (A) ～ (E) は従来における半導体装置の断面工程図である。

a … 第 1 の半導体チップ、b … 第 2 の半導体チップ、11 … 接続電極、12 … リード、13 … バンブ、14 … 回路基板、15 … 配線電極、16 …

フィルムキャリア、17 … 加圧治具。

代理人の氏名 井理士 須野道考 ほか 1 名

第 1 図



第 2 図

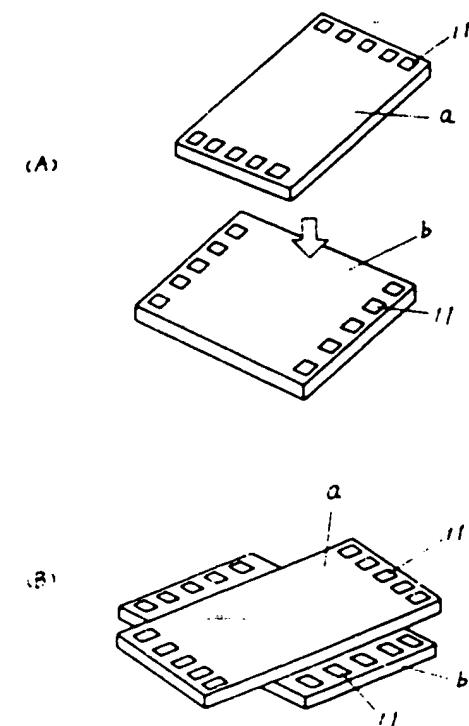


図2

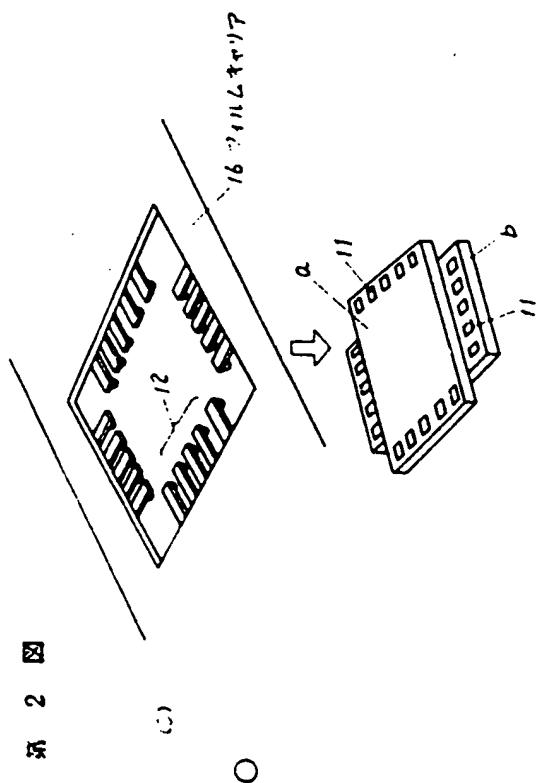
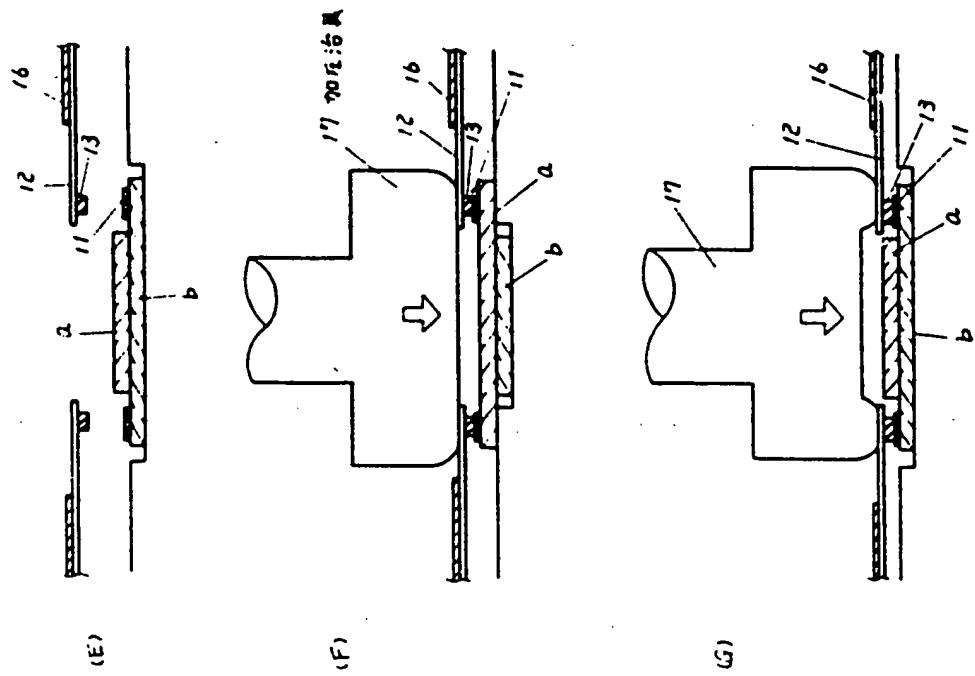
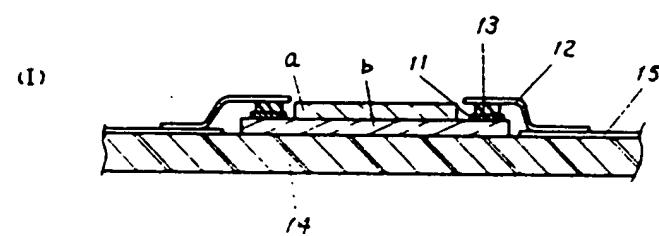
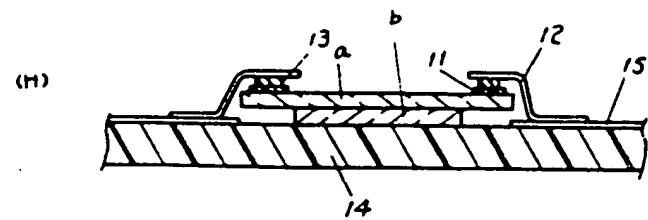


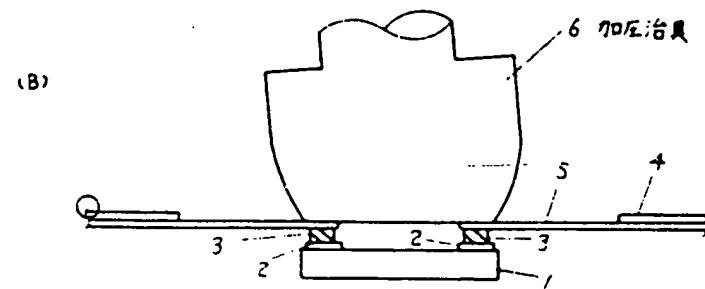
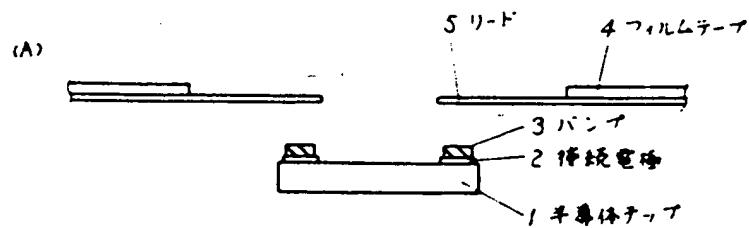
図2



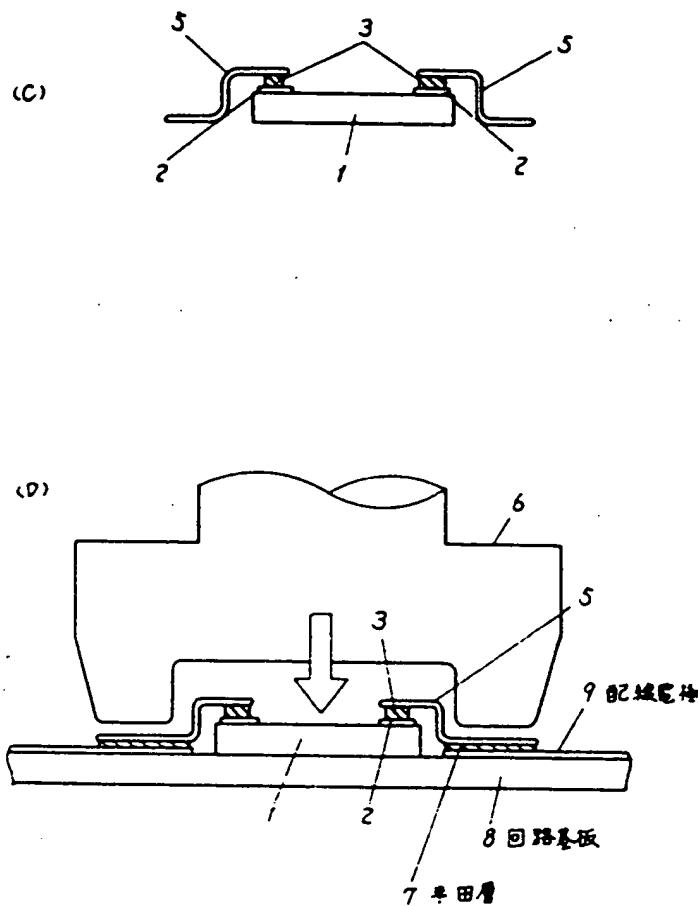
第 2 図



第 3 図



第 3 図



第 3 図

